

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

09/400.549

05906938 **Image available**
PHOTOELECTRIC CONVERTING DEVICE

PUB. NO.: 10-190038 A]
PUBLISHED: July 21, 1998 (19980721)
INVENTOR(s): TAKAHASHI HIDEKAZU
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 08-343150 [JP 96343150]
FILED: December 24, 1996 (19961224)
INTL CLASS: [6] H01L-031/10; H04N-005/335
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.6
 (COMMUNICATION -- Television)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To restrict a FPN(fixed patterns noises) increase due to process variations by a method wherein two or more load MOS transistors which set a gain of inverse amplification and differ in size are provided at respective output lines, and pulses are applied to gates of the load MOS transistors under control.

SOLUTION: Load MOS transistors 71, 72, 73 for an amplifier cell 2 of a sensor cell S serving as a photoelectric conversion cell change conductance by changing a gate length, a gate width, etc., respectively. Similarly, a plurality of types of load MOS transistors 81, 82, 83 for memory cells are provided by changing conductance. Here, if MOS conductance variations for process variations are plus or minus 5%, it is preferable that respective MOS conductance setting values are plus or minus 5%. As described above, an inverse amplification gain is always set to an optimum value, whereby a manufacturing yield for FPN is enhanced and cost-down is realized.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-190038

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 31/10

H 0 1 L 31/10

E

H 0 4 N 5/335

H 0 4 N 5/335

P

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平8-343150

(22) 出願日 平成 8 年(1996)12月24日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 高橋 秀和

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

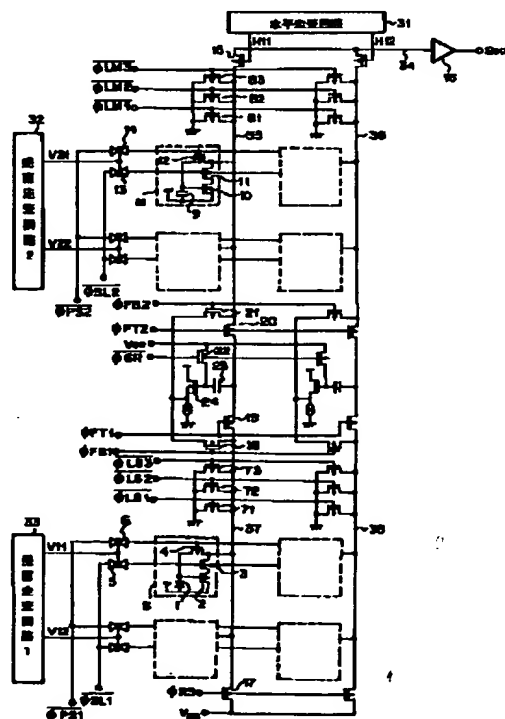
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 光電変換装置

(57) 【要約】

【課題】 光電変換装置において、プロセスバラツキによるFPN増加を抑制し、信号の増幅ゲインを可変にできることを課題とする。

【解決手段】 光電変換領域で発生した電荷を反転増幅動作で電荷増幅を行い出力線に出力する増幅型光電変換装置において、ゲインを設定するサイズの異なる負荷MOSTランジスタを前記出力線の各々に2個以上設け、前記負荷MOSTランジスタのゲートにパルスを印加して制御することを特徴とする。また、該光電変換装置において、前記光電変換領域内の画素がフォトダイオードとMOSTランジスタのみで構成されていることを特徴とする。さらに該光電変換装置において、MOSTランジスタと容量で構成されたメモリセルを内蔵していることを特徴とする。



【特許請求の範囲】

【請求項1】 光電変換領域で発生した電荷を反転増幅動作で電荷増幅を行い出力線に出力する増幅型光電変換装置において、

前記反転増幅のゲインを設定するサイズの異なる負荷MOSトランジスタを前記出力線の各々に2個以上設け、前記負荷MOSトランジスタのゲートにパルスを印加して制御することを特徴とする光電変換装置。

【請求項2】 請求項1に記載の光電変換装置において、前記光電変換領域の画素がフォトダイオードとMOSトランジスタのみで構成されていることを特徴とする光電変換装置。

【請求項3】 請求項1に記載の光電変換装置において、MOSトランジスタと容量で構成されたメモリセルを内蔵していることを特徴とする光電変換装置。

【請求項4】 請求項1に記載の光電変換装置において、前記負荷MOSトランジスタのうち前記出力線の出力信号のバラツキ（ノイズ）を最小限になる負荷MOSトランジスタのみを使用することを特徴とする光電変換装置。

【請求項5】 光電変換領域で発生した電荷を出力線を介して蓄積する暗出力蓄積手段と信号出力蓄積手段を備えた反転増幅型光電変換装置において、サイズの異なる負荷MOSトランジスタを前記出力線の各々に2個以上設け、前記光電変換領域内の反転増幅素子のゲインに2種以上のゲイン設定が行えることを特徴とする光電変換装置。

【発明の詳細な説明】

【0001】

【発明に属する技術分野】本発明は、光電変換領域のセンサ内部で電荷増幅を行って、そのゲインを可変にできる増幅型光電変換装置に関するものである。

【0002】

【従来の技術】従来、オンチップでノイズ除去動作を行う増幅型光電変換装置の1つに反転増幅型CMOSセンサというものがある。これらの光電変換装置は、例えば特願平8-7329号等に記載されている。この回路ブロック図は図6のように構成されている。

【0003】図6において、1は光電変換素子であるフォトダイオード、2は反転アンプ増幅用のアンプMOSトランジスタ、3は選択スイッチ用MOSトランジスタ、4はリセット用MOSトランジスタであり、符号1～4で1つの光電変換センサセルSを構成している。また、9は蓄積用MOSキャパシタ、10は増幅用MOSトランジスタ、11は選択スイッチ用MOSトランジスタ、12はリセット用MOSトランジスタであり、符号9～12で1つのメモリセルMを構成している。また、18はセンサセルSへ電荷をフィードバックさせるフィードバックMOSスイッチ、19は転送回路へ電荷を送る転送スイッチ、20はメモリセルMへ電荷を送る転送

スイッチ、21はメモリセルMへのフィードバックMOSスイッチ、22はクランプ用MOSスイッチ、23はクランプ容量、24はソースフォロフの増幅用MOSトランジスタである。符号19～24で転送系回路の1ユニットを構成し、各列毎に配列される。15は水平転送MOSスイッチ、16は出力アンプ、17はリセット用MOSトランジスタである。5、6はそれぞれパルスφSL1、φPS1を制御するトランスミッションゲート、13、14もそれぞれφSL2、φPS2を制御するトランスミッションゲートである。

【0004】図7に本光電変換装置の駆動タイミングチャートを示す。垂直走査回路1、2のライン出力V11、V21をハイとして、時刻T₀において、φRS、φPS1、φFT1、φFT2、φPS2をハイとし、センサセルS、メモリセルM、転送回路のリセットを行う。時刻T₁においてφSL1とφLSをハイとして、リセットMOSトランジスタ7をオフとして、トランスミッションゲート5をオンとして、センサであるフォトダイオード1の信号をアンプMOSトランジスタ2で反転増幅し、選択スイッチ用MOSトランジスタ3をオンして転送回路のクランプ容量23へ送る。その後転送パルスφFT1をハイとして転送スイッチ19をオフし、リセットパルスφRSをハイとしてリセット用MOSトランジスタ17をオンしてセンサセルSの出力ラインをリセットする。次に、時刻T₂において、φPS1、φFB1をハイとし転送回路からの信号をセンサセルSのアンプMOSトランジスタ2のゲートへフィードバックする。ここで反転アンプ2のゲインと転送回路のクランプ回路のゲインの逆位相効果で、センサセルSの初期バラツキ（ノイズ）が除去される。

【0005】この場合、反転アンプゲインをG_s、クランプ回路ゲインをG_r、初期ノイズN_{init}とすると、このフィードバック動作後のノイズNは、

$$N = N_{init} (1 + G_s \times G_r)$$

となる。この式よりノイズを最小化する反転アンプのゲインはG_s = -1/G_rとなる。例えば、クランプゲインが0.98であれば反転アンプゲインは-1/0.98 = -1.02に設定すれば良いことになる。

【0006】その後、時刻T₃において、センサセルSから再び信号を転送回路に送り、クランプする。次の時刻T₄においてφFB2、φPS2をハイとしてクランプ容量23に保持された電荷に比例した電圧をメモリセルMへ書き込む。

【0007】以上の動作を垂直走査を行いながら、全ラインについて行いリセット動作を完了させる。その後、任意の蓄積時間の後、センサセルSから信号読み出しを行う。時刻T₅において、φSL1をハイとし、センサ信号の反転増幅読み出しを行う。時刻T₆において、φSL2をハイとしてメモリセルMに蓄えられていた初期信号を読み出しセンサ信号との差分電圧を得る。そして

時刻 T_7 において、その差分電圧をメモリセルMへ書き込む。その後、水平走査回路を走査させ、垂直出力外部へ信号をアンプ16を介して出力させる。最終的にノイズNは、

$$N = N_{init} (1 + G_m \times G_r)$$

となる。従ってメモリ部の反転ゲインは $G_m = -1/G_r$ とすればノイズは最小となる。なお反転アンプ10のゲインは、アンプMOS10のコンダクタンス g_m と負荷MOS11のコンダクタンス g_m' の比によって決まるため、負荷MOS8のゲート長Lかゲート幅Wを変えて、コンダクタンス g_m' を変えることにより反転アンプゲインを設定し、ノイズ成分を最小にすることができる。この点はメモリセルMの負荷MOS8によるノイズ削減と同様に、センサセルSの負荷MOS7によるノイズ低減についても同様に扱える。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来例ではプロセス工程のバラツキにより、ロット間、ウェハ間、更にはチップ間において、ウェル濃度、酸化膜厚、加工寸法が微妙に異なってしまうため、MOSトランジスタのコンダクタンス g_m が変化してしまい、反転アンプゲインが最適値からずれてしまう場合があった。ゲインが最適値からずれてしまうと、ノイズ補正効果が悪くなり、各セル間の出力バラツキいわゆる固定パターン雑音(FPN: Fixed Pattern Noise)が増加してしまい、規定ノイズ以上となる不良チップの割合が増加し、歩留り悪化の原因となっていた。

【0009】本出願に係る第1の発明の目的は、プロセスバラツキによるFPN増加を抑制するものである。そして第2の目的は、信号の増幅ゲインを可変にできる光電変換装置の実現である。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明に係る第1の発明はサイズを変えた負荷MOSトランジスタを各列に数個設けたことを特徴とする。

【0011】本発明の光電変換装置は、光電変換領域で発生した電荷を反転増幅動作で電荷増幅を行い出力線に出力する増幅型光電変換装置において、前記反転増幅のゲインを設定するサイズの異なる負荷MOSトランジスタを前記出力線の各々に2個以上設け、前記負荷MOSトランジスタのゲートにパルス印加して制御することを特徴とする。また、上記光電変換装置において、前記光電変換領域の画素がフォトダイオードとMOSトランジスタのみで構成されていることを特徴とする。さらに、上記光電変換装置において、MOSトランジスタと容量で構成されたメモリセルを内蔵していることを特徴とする。また、上記光電変換装置において、前記負荷MOSトランジスタのうち前記出力線の出力信号のバラツキ(ノイズ)を最小限になる負荷MOSトランジスタのみを使用することを特徴とする。

【0012】また、本発明の光電変換装置は、光電変換領域で発生した電荷を出力線を介して蓄積する暗出力蓄積手段と信号出力蓄積手段を備えた反転増幅型光電変換装置において、サイズの異なる負荷MOSトランジスタを前記出力線の各々に2個以上設け、前記光電変換領域内の反転増幅素子のゲインに2種以上のゲイン設定が行えることを特徴とする。

【0013】上記構成において、ゲート幅W/ゲート長Lの比、W/Lを変えた負荷MOSトランジスタを数種類設けておき、画素のアンプMOSトランジスタと組み合わせることでFPNが最も小さくなる負荷MOSトランジスタを実使用状態とするものである。

【0014】また、信号電荷蓄積キャパシタンスを用いてノイズ除去を行う構成において、輝度に合わせてゲインの設定を変えられる光電変換装置が得られる。

【0015】

【発明の実施の形態】

(第1の実施形態) 図1に本発明の第1の実施形態を示す。ここでは簡単のために 2×2 画素のエリアセンサを示す。同図において、1はセンサ素子としてのフォトダイオード、2は反転増幅用のアンプMOSトランジスタ、3は選択スイッチ用MOSトランジスタ、4はリセット用MOSトランジスタであり、符号1~4で1つの光電変換セルS、又の呼称のセンサセルSを構成している。また、9は蓄積用MOSキャパシタ、10は増幅用MOSトランジスタ、11は選択スイッチ用MOSトランジスタ、12はリセット用MOSトランジスタであり、符号9~12で1つのメモリセルMを構成している。

【0016】また、18はセンサセルSへ電荷をフィードバックさせるフィードバックMOSスイッチ、19は転送回路へ電荷を転送する転送MOSスイッチ、20もメモリセルMへ電荷を転送する転送MOSスイッチ、21はメモリセルMにフィードバックするフィードバックMOSスイッチ、22は転送回路のクランプ用MOSスイッチ、23はクランプ容量、24はソースフォロワの増幅用MOSトランジスタである。符号19~24で転送系回路の1ユニットを構成し、各列毎に配列される。また、15は水平走査回路31からの走査信号H11のハイレベルにより出力線34に出力する水平転送MOSスイッチ、16は出力線34上の信号を増幅する出力アンプ、17はセンサ出力線37の残留信号をリセットするリセット用MOSトランジスタである。

【0017】また、71、72、73は光電変換セルであるセンサセルSのアンプMOSトランジスタ2に対する負荷MOSトランジスタであり、それぞれゲート長L、ゲート幅W等を変えることにより、 g_m を変えている。本実施形態では、この様に数種類の負荷MOSトランジスタを設けたことを特徴とする。同様にメモリセルMに対する負荷MOS81、82、83を g_m を変えて

複数種類設けている。ここで、プロセス変動に対するMOSの g_m バラツキが $\pm 5\%$ であるとすれば、それぞれのMOSの g_m 設定値も $\pm 5\%$ とすることが好ましい。

【0018】上記光電変換装置における動作とタイミングは、基本的に上述した図7と共に説明した内容とほぼ同様であり、以下はその相違点について詳述する。

【0019】図2に本実施形態における出力波形を示す。図の横軸は、各画素を表し、縦軸は各画素の出力電圧を示す。また、FPN_{pp}は各画素の出力電圧のピークTOピークをしめす。図2において、それぞれ調節用パルス ϕ_{LM1} 、 ϕ_{LM2} 、 ϕ_{LM3} を駆動させた場合である。ここで反転アンプ10のゲインが異なることにより、ノイズ除去率がそれぞれ異なってくるため、ノイズの大きさがそれぞれ異なる。これらのデータをテスター等による検査で得ることにより、調節用パルス ϕ_{LM1} 、 ϕ_{LM2} 、 ϕ_{LM3} 中で、ノイズが最も小さくなる調節用パルスを記録しておいて、実使用時にそのパルスを用いれば良い。例えば、図2(a)に示すAロットでは、調節用パルス ϕ_{LM2} を用い、図2(b)に示すBロットでは、調節用パルス ϕ_{LM1} を用いる様にする。当然、ロット毎ではなく、ウェハ毎、チップ毎で変えることもできる。

【0020】以上の様に、ノイズが最も小さくなる調節用パルスを選択することにより、FPNに対する歩留りが向上することが可能となった。本実施形態では、センサセルS、メモリセルMに対する負荷MOSTランジスタ71~73、81~83を3ヶずつ設けたが、2ヶずつでも、4ヶ以上でも可能であるのは当然である。又、pMOS構成、nMOS構成、両者でも増幅用MOSTランジスタ2、10の負荷MOSTランジスタと成り得るならば対応可能である。

【0021】(実施形態2)図3に本発明の第2の実施形態について示す。本実施形態ではセンサセル用の負荷MOSTランジスタは従来通り1つ設け、メモリセル用の負荷MOSTランジスタを数ヶ設けたことを特徴とする。メモリセルMの反転ゲイン設定が最適値($= -1/G_1$)であれば、センサのノイズは除去できるので、メモリ出力しか必要としないアプリケーションには本実施形態が適用できる。

【0022】本実施形態による光電変換装置の基本的な動作は、上述の図7によるタイミングチャートと同様であり、以下はその相違点について詳述する。

【0023】本実施形態においては、あまりチップサイズ及び、駆動パルス数を増加させることなく、FPNに対する歩留り向上を達成することが可能となる。

【0024】動作的には、図6の回路図で説明し、また実施形態1で説明した内容と同様であり、ウェハ段階、又はチップ状態で、調節用パルス $\phi_{LM1} \sim \phi_{LM3}$ を印加してFPNが最低となる調節用パルスを定めておき、本光電変換装置を機能させるときに、該調節用パ

ルスをメモリセルMの負荷になるときにローレベルとして特定の負荷MOSTランジスタを動作させる。

【0025】(実施形態3)図4に本発明の第3の実施形態を示す。本実施形態は、メモリセルを用いずに、信号用、ノイズ用の蓄積キャパシタを用いてノイズ除去を行うタイプの反転アンプ型CMOSセンサである。

【0026】同図において、40は暗出力電位蓄積キャパシタ C_{IN} 、41は信号出力蓄積キャパシタ C_{IS} 、42は暗出力電位蓄積キャパシタ C_{IN} への転送MOSスイッチ、43は信号出力蓄積キャパシタ C_{IS} への転送MOSスイッチであり、44、45は信号線47及びノイズ線48に出力する転送MOSスイッチであり、46は信号と暗出力を減算する差動アンプである。また、センサセルSの符号1~4、及びセンサセルSの負荷MOSTランジスタ71~73は第2の実施形態で説明したものと同様である。

【0027】本実施形態での読み出しタイミングは、まずセンサセルからの画像信号を信号出力蓄積キャパシタ C_{IS} 41に蓄積し、次にセンサセル自体のノイズ成分を暗出力電位蓄積キャパシタ C_{IN} 40に蓄積し、水平走査回路31からの読み出し走査信号H11により、転送MOSスイッチ44、45をオンして各出力線47、48に読み出し、差動アンプ46の出力にノイズ成分を除去した画像信号を得ることができる。

【0028】本実施形態においても、負荷MOSTランジスタを数個設けることにより、ゲインを可変にでき、ウェハ状態又はチップ状態の時、FPNが最低となる負荷MOSTランジスタを特定しておき、実使用段階でその動作を制御する調節用パルス ϕ_L を印加することを特徴としている。

【0029】本実施形態においては、同一の反転ゲインで信号読み出し、暗出力読み出しを行えれば、最終段の差動アンプでノイズ除去が行えるため、メモリセルでノイズ除去を行う場合の条件であった反転ゲイン $= -1/G_1$ にする必要はない。従って反転ゲインを -1 、 -2 倍、 -4 倍になる様に設定しても良い。従来は、ゲインをかける場合、外部回路で行っていたが、この場合、ノイズに対して弱くなり、S/Nを満足できるものが少なかった。しかし、本実施形態の場合、画素部のセンサセルMで電荷増幅を行えるので、ノイズに対して強くなり、高いS/Nを得ることが可能となる。

【0030】本実施形態において、低照度の場合、ゲインを上げて信号を読み出し、高照度の場合、ゲインを下げて信号読み出しを行う、ゲイン可変型光電変換装置を得ることができる。

【0031】本実施形態では、 2×2 の画素について述べたが、複数のエリアセンサとしても同様に読み出しでき、ラインセンサとしてもよい。ただし、ラインセンサの場合、垂直走査回路33の出力V11、V12等は常にハイレベルにしておけばよいし、不必要である。

【0032】(実施形態4)図5に本発明の第4実施形態を示す。本実施形態において回路構成は実施形態3と同じであるが画素の構成を変えてある。本実施形態において、転送ゲート49をフォトダイオード1とアンプMOSトランジスタ2の間に設け、フォトダイオード1で発生した電荷をアンプMOSトランジスタ2のゲートに完全空乏化転送を行うことを特徴とする。完全空乏化転送により転送された電荷によりゲート電位が変化し、その電位変化を反転増幅されることにより読み出しを行う。この反転増幅のゲインを負荷MOSトランジスタ7

【0033】本実施形態により、高S/N、高感度のゲイン可変型光電変換装置が可能となる。なお、他の構成要素の機能、動作は第1乃至第3の実施形態と同様である。

【0034】また、上記実施形態において、ゲイン可変型用の負荷MOSトランジスタを複数個設ける例を示したが、この負荷MOSトランジスタの製造方法及び製造するためのエリアの増加量については、他のMOSトランジスタと同一工程でパターンニングして製造でき、また専用エリアとしてもMOS構造であるのでチップサイズに大きな影響を与えることもない。

【0035】

【発明の効果】以上説明したように、第1の発明によれば、反転アンプゲインを常に最適値に設定することにより、ノイズの少ない信号が得られるため、FPNに対す

る歩留りが向上し、コストダウンが実現する。

【0036】又、第2の発明によれば、光量に応じたゲイン設定を行うことにより、高S/N、高感度、広いダイナミックレンジを持った光電変換装置が実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の回路構成図である。

【図2】本発明の第1実施形態の信号出力波形例である。

【図3】本発明の第2実施形態の回路構成図である。

【図4】本発明の第3実施形態の回路構成図である。

【図5】本発明の第4実施形態の回路構成図である。

【図6】従来例の回路構成図である。

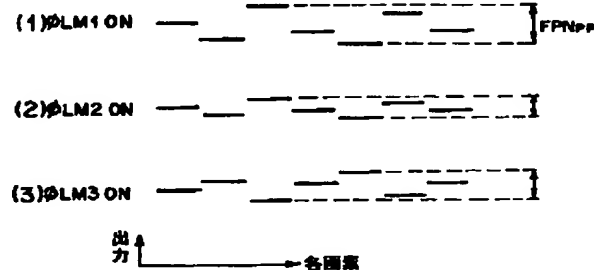
【図7】従来例の駆動タイミングチャートである。

【符号の説明】

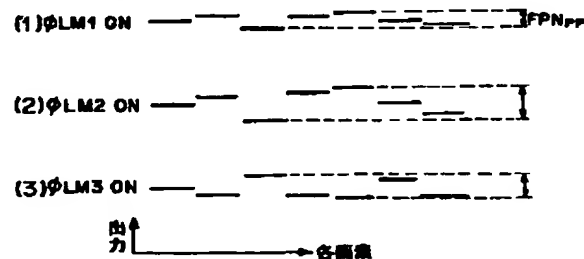
- 1 フォトダイオード
- 2, 10 反転アンプMOSトランジスタ
- 3, 11 選択MOSトランジスタ
- 4, 12 リセットMOSトランジスタ
- 5, 6, 13, 14 トランスミッションゲート
- 9 蓄積キャパシタ
- 15 水平転送スイッチMOSトランジスタ
- 16 出力アンプ
- 17 リセットMOSトランジスタ
- 7, 71, 72, 73 負荷MOSトランジスタ
- 8, 81, 82, 83 負荷MOSトランジスタ

【図2】

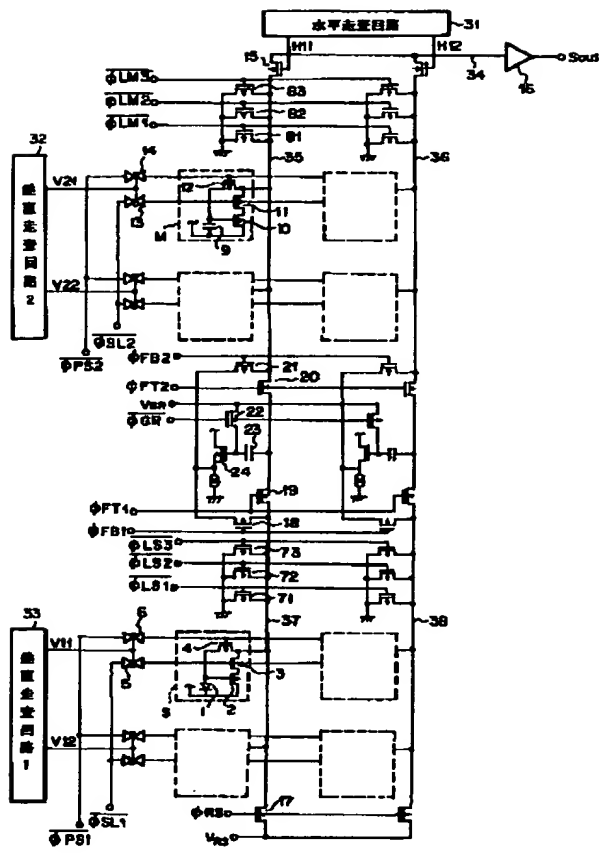
(a) Aロット出力波形



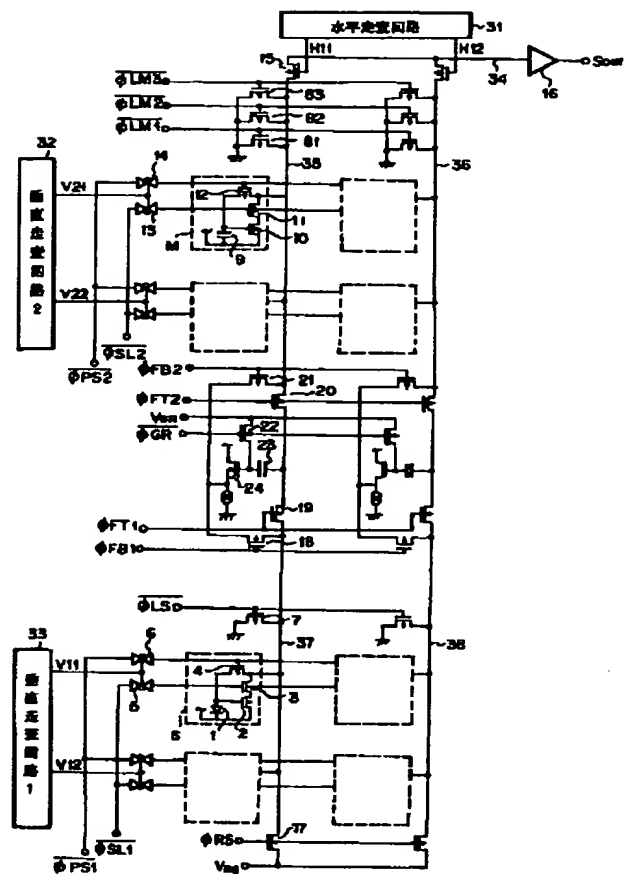
(b) Bロット出力波形



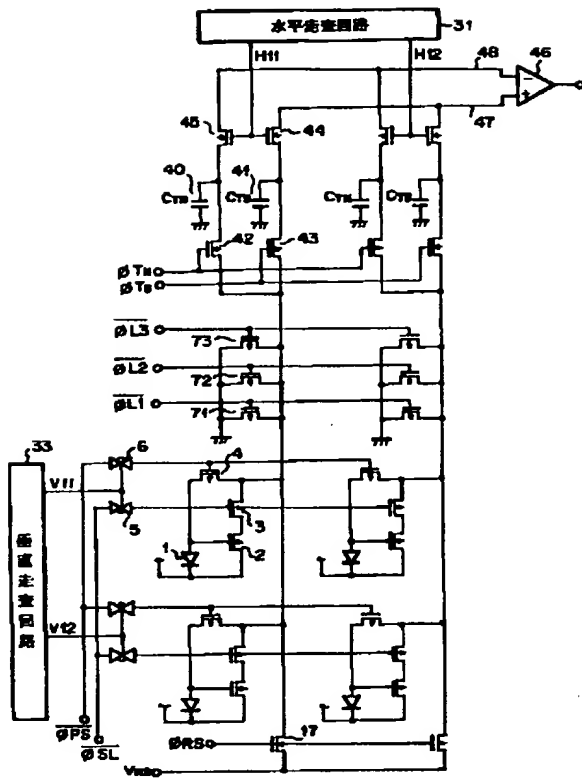
【図1】



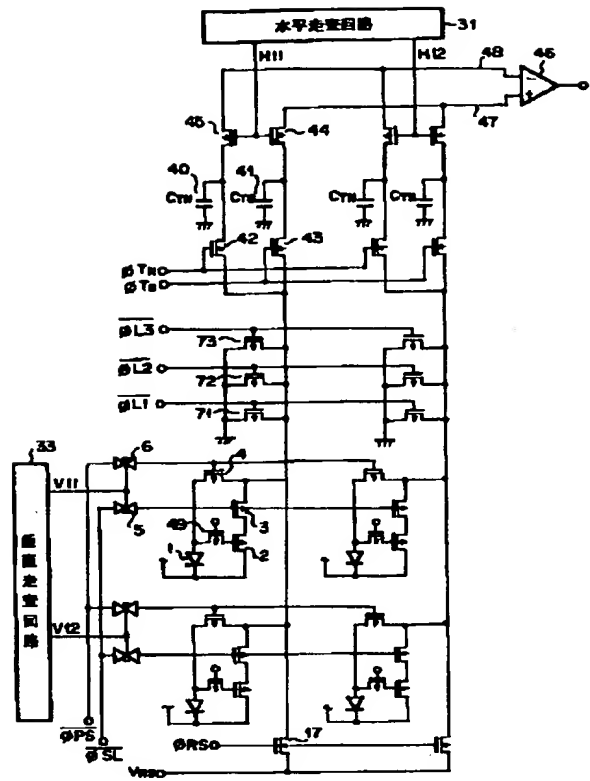
【図3】



【図4】



【図5】



【图7】

